

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-310660

(43) 公開日 平成6年(1994)11月4日

(51) IntCl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/04		L 8427-4M		
27/01	3 1 1	8418-4M		
H 0 1 P 1/00		Z		
3/08				

審査請求 未請求 請求項の数5 O L (全 6 頁)

(21) 出願番号 特願平5-97586

(22) 出願日 平成5年(1993)4月23日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 西嶋 将明

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72) 発明者 石川 修

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72) 発明者 藤本 裕雅

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(74) 代理人 弁理士 小鍛冶 明 (外2名)

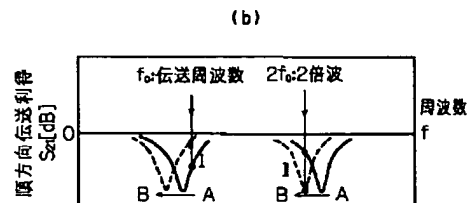
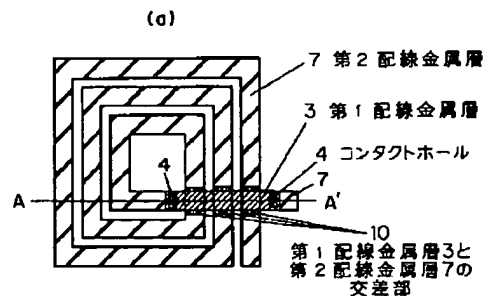
最終頁に続く

(54) 【発明の名称】 スパイラルインダクタ素子

(57) 【要約】

【目的】 スパイラルインダクタ素子の有効的な使用方法を提供する。

【構成】 半絶縁性GaAs基板1の主面に絶縁膜2aを形成し、次に第一配線金属層3を形成する際に交差部10のように形状を変え、絶縁膜2b、例えば窒化膜を形成しコンタクトホール4を開ける。次にメッキ下地金属層5を形成し、レジスト6のようにパターン形成した後、第二配線金属層(Auメッキ)7を形成する。次にレジスト6を除去した後、イオンミリングにより第二配線金属層(Auメッキ)7以外の部分のメッキ下地金属層5を除去し、半絶縁性GaAs基板1の反対側の主面に接地金属層8をAu・Sn蒸着により形成する。



A 従来例

B 実施例2 構成図2(a)

## 【特許請求の範囲】

【請求項1】半導体基板と、前記半導体基板上に形成された第一の配線金属層と、前記第一の配線金属層上に絶縁膜を介して形成された第二の配線金属層とを備え、前記第一の配線金属層と前記第二の配線金属層の交差部を含む層間領域の前記絶縁膜の厚さが前記層間領域以外の前記絶縁膜の厚さと異なることを特徴とするスパイラルインダクタ素子。

【請求項2】半導体基板と、前記半導体基板上に形成された第一の配線金属層と、前記第一の配線金属層上に絶縁膜を介して形成された第二の配線金属層とを備え、前記第一の配線金属層と前記第二の配線金属層の交差部に、前記第一の配線金属層、前記第二の配線金属層のうち少なくとも一方の形状が前記交差部以外の前記第一の配線金属層、前記第二の配線金属層の形状と異なる配線金属層を用いることを特徴とするスパイラルインダクタ素子。

【請求項3】半導体基板と、前記半導体基板上に形成された第一の配線金属層と、前記第一の配線金属層上に絶縁膜を介して形成された第二の配線金属層とを備え、前記第一の配線金属層と前記第二の配線金属層の交差部を含む層間領域に、前記絶縁膜と異なる材料を用いることを特徴とするスパイラルインダクタ素子。

【請求項4】第一の配線金属層と第二の配線金属層の交差部を含む層間領域に、強誘電体を用いることを特徴とする請求項3記載のスパイラルインダクタ素子。

【請求項5】第一の配線金属層と前記第二の配線金属層の交差部を含む層間領域に、強磁性体を用いることを特徴とする請求項3記載のスパイラルインダクタ素子。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、MMIC (Monolithic Microwave IC) の構成要素として用いられる受動素子の一種であるスパイラルインダクタ素子に関するものである。

## 【0002】

【従来の技術】スパイラルインダクタ素子はプレーナ型インダクタ素子の一種であり、MMICの回路素子（受動素子）として、インピーダンス整合、高周波チョークの用途に用いられる。プレーナ型インダクタ素子には、スパイラルインダクタ素子の他に、高インピーダンスライン、メアンダラインがある。ストレートライン（高インピーダンスライン）は形成可能なライン幅の限界から、得られるインダクタンスは限られるので、高インダクタンスを得るには面積が大きくなる。メアンダラインは小面積を得ようとすると隣接線路間の負の相互インダクタンスによるカップリングのために所望のインダクタンスを得るには面積が大きくなってしまふ。両インダクタ素子のこのような欠点に対してスパイラルインダクタ素子は小面積で高インダクタンスを得るのに有効である。

【0003】一般に、GaAs基板を用いたスパイラルインダクタ素子は第二層配線（Auメッキ）で引き回し、スパイラルインダクタの中心から第二層配線と交差して第一層配線、あるいはエアブリッジを用いて引き出す構造となっている。

【0004】以下図面を参照しながら、上記した従来のスパイラルインダクタ素子について説明する。スパイラルインダクタ素子は、その形状で主に正方形、長方形、円形型に分けられる。以下、正方形型で説明することにする。図4は従来のスパイラルインダクタ素子の平面図、図5はその製造工程を説明するための断面図である。図5（a）に示すように、半絶縁性GaAs基板1の主面に絶縁膜2aとしてSiO<sub>2</sub>、第一配線金属層3として蒸着によりTi/Au/Tiを形成した後、絶縁膜2bとしてSiNを形成しコンタクトホール4を開ける。次に図5（b）に示すように下地金属層5をTi/Auで形成し、レジスト6のようにパターン形成した後、第二配線金属層7をAuメッキにより形成する。次に図5（c）に示すようにレジスト6を除去した後、イオンミリングにより第二配線金属層7以外の部分の下地金属層5を除去し、半絶縁性GaAs基板1の反対側の主面に接地金属層8をAu・Sn蒸着により形成する。このようにして図4に示すスパイラルインダクタ素子の構成を得るのである。

## 【0005】

【発明が解決しようとする課題】しかしながら図4、図5に示した従来のスパイラルインダクタ素子では、第一配線金属層3と第二配線金属層7の交差部がMIM (Metal-insulator-metal) 型の等価容量として働くために、通常、寄生容量（個々の線路間のフリンジ容量や対接地容量）、寄生インダクタンス（線路間の相互インダクタンス）で決まる高周波側の自己共振周波数が低周波側に移動することで所望の伝送周波数利得の低下を招くという問題を有していた。

【0006】本発明は上記問題点に鑑み、スパイラルインダクタ素子において、上記周波数特性を改善するとともに、この周波数特性を回路素子として積極的に利用する素子を提供することを目的とするものである。

## 【0007】

【課題を解決するための手段】上記問題を解決する為、本発明は半導体基板と、前記半導体基板上に形成された第一の配線金属層と、前記第一の配線金属層上に絶縁膜を介して形成された第二の配線金属層とを備えたスパイラルインダクタ素子において、前記第一の配線金属層と前記第二の配線金属層の交差部を含む層間領域の前記絶縁膜の厚さが前記層間領域以外の前記絶縁膜の厚さと異なることを特徴とするものである。

【0008】また、上記問題を解決する為、本発明は半導体基板と、前記半導体基板上に形成された第一の配線金属層と、前記第一の配線金属層上に絶縁膜を介して形

成された第二の配線金属層とを備えたスパイラルインダクタ素子において、前記第一の配線金属層と前記第二の配線金属層の交差部に、前記第一の配線金属層、前記第二の配線金属層のうち少なくとも一方の形状が前記交差部以外の前記第一の配線金属層、前記第二の配線金属層の形状と異なる配線金属層を用いることを特徴とするものである。

【0009】また、上記問題を解決する為、本発明は半導体基板と、前記半導体基板上に形成された第一の配線金属層と、前記第一の配線金属層上に絶縁膜を介して形成された第二の配線金属層とを備えたスパイラルインダクタ素子において、前記第一の配線金属層と前記第二の配線金属層の交差部を含む層間領域に、前記絶縁膜と異なる材料を用いることを特徴とするものである。

【0010】

【作用】本発明は上記した構成によって、半導体基板と、半導体基板上に形成された第一の配線金属層と、第一の配線金属層上に絶縁膜を介して形成された第二の配線金属層とを備え、第一の配線金属層と第二の配線金属層の交差部を含む層間領域の絶縁膜の厚さが上記層間領域以外の絶縁膜の厚さと異なる構成とすることにより、スパイラルインダクタ素子の自己共振周波数を変えて、所望の伝送周波数利得の低下が避けられるとともに、この自己共振による利得低下を高調波（基本周波数の通倍波）のトラップとして使用でき、回路素子として有効な活用を図ることができる。

【0011】また、本発明は上記した構成によって、半導体基板と、半導体基板上に形成された第一の配線金属層と、第一の配線金属層上に絶縁膜を介して形成された第二の配線金属層とを備え、第一の配線金属層と第二の配線金属層の交差部に、第一の配線金属層、第二の配線金属層のうち少なくとも一方の形状が上記交差部以外の第一の配線金属層、第二の配線金属層の形状と異なる配線金属層を用いる構成とすることにより、スパイラルインダクタ素子の自己共振周波数を変えて、所望の伝送周波数利得の低下が避けられるとともに、この自己共振による利得低下を高調波（基本周波数の通倍波）のトラップとして使用でき、回路素子として有効な活用を図ることができる。

【0012】また、本発明は上記した構成によって、半導体基板と、半導体基板上に形成された第一の配線金属層と、第一の配線金属層上に絶縁膜を介して形成された第二の配線金属層とを備え、第一の配線金属層と第二の配線金属層の交差部を含む層間領域に、上記絶縁膜と異なる材料を用いる構成とすることにより、スパイラルインダクタ素子の自己共振周波数を変えて、所望の伝送周波数利得の低下が避けられるとともに、この自己共振による利得低下を高調波（基本周波数の通倍波）のトラップとして使用でき、回路素子として有効な活用を図ることができる。

【0013】

【実施例】以下本発明のスパイラルインダクタ素子の実施例について、図面を参照しながら説明する。

【0014】（実施例1）図1（a）は本発明の第1の実施例を示すスパイラルインダクタ素子の平面図である。図1（b）は図1（a）のA-A'における断面図である。図1（c）はSパラメータの順方向伝送利得 $S_{21}$ の周波数特性説明図である。図1において、図4と同一符号は同一または相当部分を示している。以下本発明を図面を参照しながら説明する。

【0015】図1（a）、（b）に示すように、厚さ $150\mu\text{m}$ の半絶縁性GaAs基板1の主面上にSiO（絶縁膜2a）を介して蒸着によりTi/Au/Ti（第一配線金属層3）が形成され、その上にSiN（絶縁膜2b）を介してメッキによりAuメッキ（第二配線金属層7）が形成され、半絶縁性GaAs基板1の反対側の主面上に蒸着によりAu/Sn（接地金属層8）が形成されている。ここで絶縁膜2bの厚さを第一配線金属層3と第二配線金属層7の交差領域9のみ変えることにより、例えばウェットエッチングあるいはドライエッチングにより絶縁膜2bの厚さを薄くする場合には第一配線金属層3と第二配線金属層7の交差部の等価容量が増え、

自己共振周波数 $f_{\infty} = 1/\sqrt{LC}$ （L:インダクタ成分、C:キャパシタ成分）…式(1)

の関係から、図1（c）に示すように自己共振周波数が低周波側にシフトし、絶縁膜2bの厚さを適当に選ぶことで、自己共振周波数を高調波帯域（2倍波、3倍波等）に設定することが可能となり高調波トラップとして有効性を発揮する（図中II）。また、所望伝送周波数利得の改善も行える（図中I）。なお、絶縁膜2b厚さを交差領域9のみ厚くする場合においても、第一配線金属層3と第二配線金属層7の交差部の等価容量が減り、上式（1）から自己共振周波数が高周波側にシフトし同様の効果が得られる。

【0016】（実施例2）図2（a）は本発明の第2の実施例を示すスパイラルインダクタ素子の平面図である。図2（b）はSパラメータの順方向伝送利得 $S_{21}$ の周波数特性説明図である。図2において、図1と同一符号は同一または相当部分を示している。以下本発明を図面を参照しながら説明する。

【0017】図2（a）に示すように、厚さ $150\mu\text{m}$ の半絶縁性GaAs基板1の主面上にSiO（絶縁膜2a）を介して蒸着によりTi/Au/Ti（第一配線金属層3）が形成され、その上にSiN（絶縁膜2b）を介してメッキによりAuメッキ（第二配線金属層7）が形成されている。半絶縁性GaAs基板1の反対側の主面上には蒸着によりAu/Sn（接地金属層8）が形成されている。ここで、第一配線金属層3と第二配線金属層7の交差部の形状を変えることにより、例えば第一配

線金属層3において交差部10のように配線幅を広くすると交差部10の部分の等価容量が増え、上式(1)から、図2(b)に示すように自己共振周波数が低周波側にシフトし、幅を適当に選ぶことで、自己共振周波数を高調波帯域(2倍波、3倍波等)に設定することが可能となり高調波トラップとして有効性を発揮する(図中I1)。また、所望伝送周波数利得の改善も行える(図中I1)。なお、第一配線金属層3において交差部の配線幅を狭くした場合、および第二配線金属層7の交差部の形状を適当に変えた場合においても、交差部10の部分の等価容量を可変でき、上式(1)から自己共振周波数がシフトし同様の効果が得られる。

【0018】(実施例3)図3(a)は本発明の第3の実施例を示すスパイラルインダクタ素子の平面図、図3(b)は図3(a)のA-A'における断面図である。図3(c)はSパラメータの順方向伝送利得 $S_{21}$ の周波数特性説明図である。図3において、図4、5と同一符号は同一または相当部分を示している。以下本発明を図面を参照しながら説明する。

【0019】図3(a)、(b)に示すように、厚さ150 $\mu\text{m}$ の半絶縁性GaAs基板1の主面上にSiO<sub>2</sub>(絶縁膜2a)を介して蒸着によりTi/Au/Ti(第一配線金属層3)が形成され、その上にSiN(絶縁膜2b)を介してメッキによりAuメッキ(第二配線金属層7)が形成され、半絶縁性GaAs基板1の反対側の主面上に蒸着によりAu/Sn(接地金属層8)が形成されている。ここで、第一配線金属層3と第二配線金属層7配線金属層の交差領域9に絶縁膜2bと異なる高抵抗・絶縁性材料11として、強誘電体、もしくは強磁性体を用いる。強誘電体を用いる場合、第一配線金属層3と第二配線金属層7配線金属層の交差部の等価容量は窒化膜に比べて数十倍に増えるため、上式(1)から、自己共振周波数が約1/5となり図3(c)に示すように低周波側にシフトする。強誘電体の材料(誘電率 $\epsilon$ )膜厚を適当に選ぶことにより、自己共振周波数を高調波帯域(2倍波、3倍波等)に設定することが可能となり高調波トラップとして有効性を発揮する(図中I1)。また、所望伝送周波数利得の改善も行える(図中I1)。なお、高抵抗・絶縁性材料11として強磁性体を用いる場合においても、交差領域9においてインダクタンスが増え、上式(1)から自己共振周波数が低周波側にシフトし同様の効果が得られる。

【0020】

【発明の効果】以上のように本発明により次の効果がもたらされる。

(1) 半導体基板と、半導体基板上に形成された第一の配線金属層と、第一の配線金属層上に絶縁膜を介して形成された第二の配線金属層とを備えたスパイラルインダクタ素子において、第一の配線金属層と第二の配線金属層の交差部を含む層間領域の絶縁膜の厚さが上記層間領

域以外の絶縁膜の厚さと異なる構成とすることにより、スパイラルインダクタ素子の自己共振周波数を変えて、所望の伝送周波数利得の低下が避けられるとともに、この自己共振による利得低下を高調波(基本周波数の選倍波)のトラップとして使用でき、回路素子として有効な活用を図ることができる。

(2) 半導体基板と、半導体基板上に形成された第一の配線金属層と、第一の配線金属層上に絶縁膜を介して形成された第二の配線金属層とを備えたスパイラルインダクタ素子において、第一の配線金属層と第二の配線金属層の交差部に、第一の配線金属層、第二の配線金属層のうち少なくとも一方の形状が上記交差部以外の第一の配線金属層、第二の配線金属層の形状と異なる配線金属層を用いる構成とすることにより、スパイラルインダクタ素子の自己共振周波数を変えて、所望の伝送周波数利得の低下が避けられるとともに、この自己共振による利得低下を高調波(基本周波数の選倍波)のトラップとして使用でき、回路素子として有効な活用を図ることができる。

(3) 半導体基板と、半導体基板上に形成された第一の配線金属層と、第一の配線金属層上に絶縁膜を介して形成された第二の配線金属層とを備えたスパイラルインダクタ素子において、第一の配線金属層と第二の配線金属層の交差部を含む層間領域に、上記絶縁膜と異なる材料を用いる構成とすることにより、スパイラルインダクタ素子の自己共振周波数を変えて、所望の伝送周波数利得の低下が避けられるとともに、この自己共振による利得低下を高調波(基本周波数の選倍波)のトラップとして使用でき、回路素子として有効な活用を図ることができる。

【図面の簡単な説明】

【図1】(a)は本発明の第1の実施例であるスパイラルインダクタ素子の平面図

(b)は本発明の第1の実施例であるスパイラルインダクタ素子の断面図

(c)は本発明の第1の実施例であるスパイラルインダクタ素子の伝送利得の周波数特性図

【図2】(a)は本発明の第2の実施例であるスパイラルインダクタ素子の平面図

(b)は本発明の第2の実施例であるスパイラルインダクタ素子の伝送利得の周波数特性図

【図3】(a)は本発明の第3の実施例であるスパイラルインダクタ素子の平面図

(b)は本発明の第3の実施例であるスパイラルインダクタ素子の断面図

(c)は本発明の第3の実施例であるスパイラルインダクタ素子の伝送利得の周波数特性図

【図4】従来のスパイラルインダクタ素子の平面図

【図5】従来のスパイラルインダクタ素子の製造工程を示す断面図

7

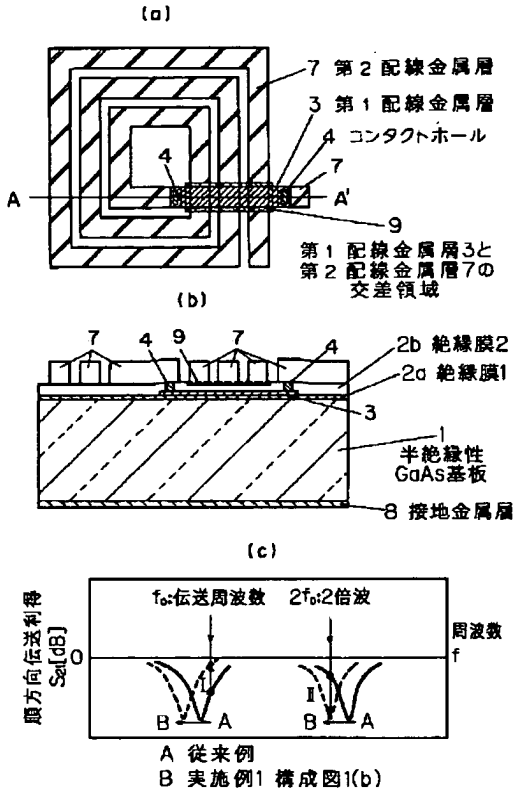
8

## 【符号の説明】

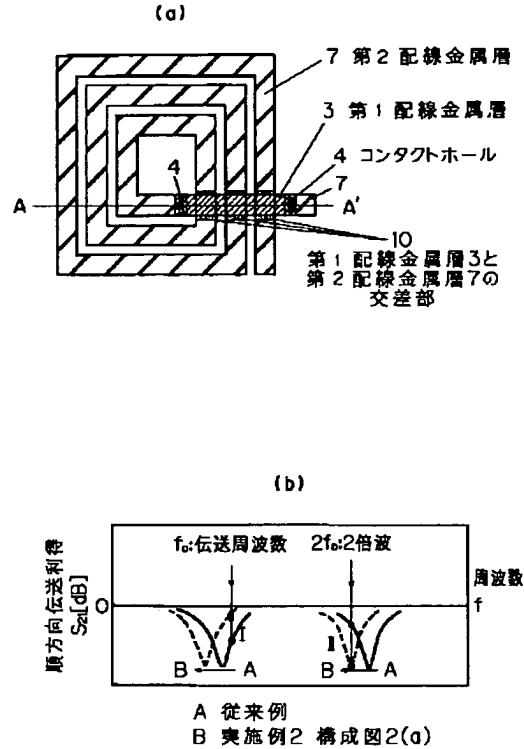
- 1 半絶縁性GaAs基板  
 2a 絶縁膜1  
 2b 絶縁膜2  
 3 第一配線金属層  
 4 コンタクトホール  
 5 メッキ下地金属層

- 6 レジスト  
 7 第二配線金属層  
 8 接地金属層  
 9 第一配線金属層3と第二配線金属層7の交差領域  
 10 第一配線金属層3と第二配線金属層7の交差部  
 11 高抵抗・絶縁性材料

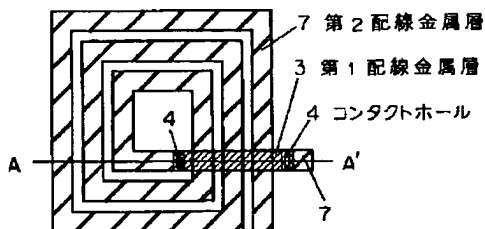
【図1】



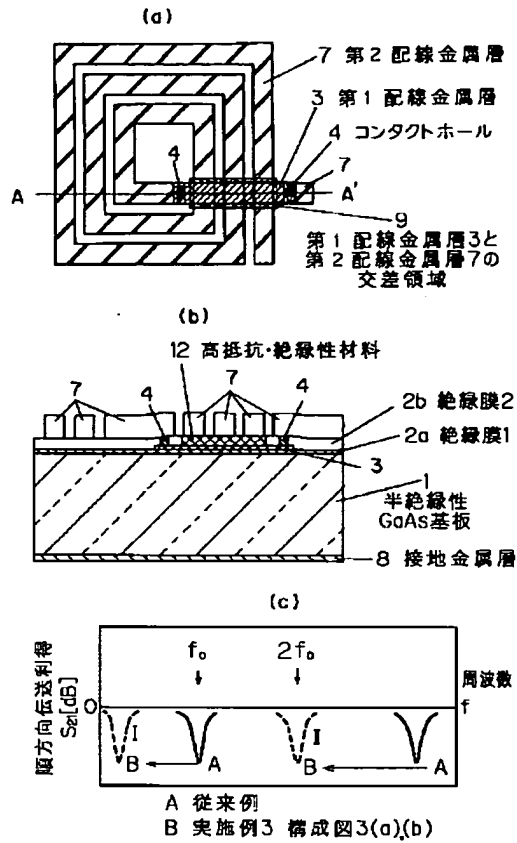
【図2】



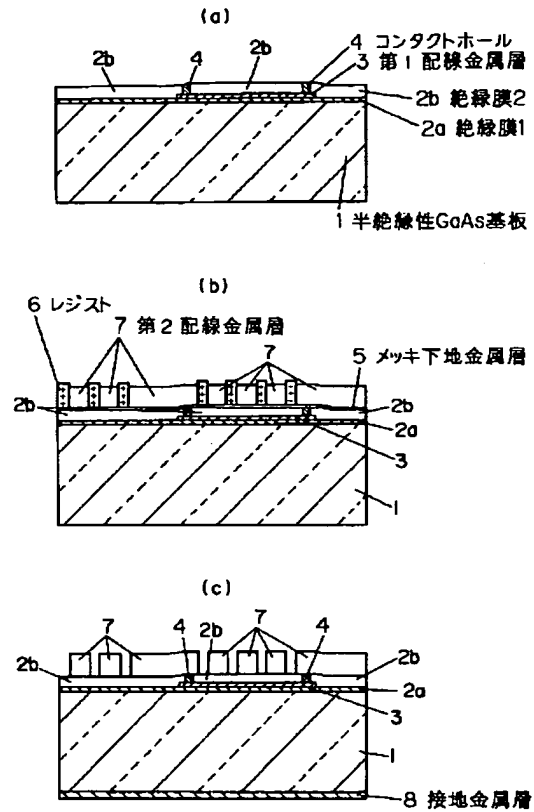
【図4】



【図3】



【図5】



フロントページの続き

(72)発明者 前田 昌宏

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内